

⑫ 公開実用新案公報(U)

平3-66199

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月27日

H 05 B 41/392
G 02 F 1/133
G 09 G 3/18

L
5 3 5
9032-3K
7709-2H
8621-5C

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 考案の名称 バックライト調光回路

⑯ 実 願 平1-127293

⑰ 出 願 平1(1989)10月31日

⑱ 考 案 者 柳 原 弘 之 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

⑲ 出 願 人 横河電機株式会社 東京都武蔵野市中町2丁目9番32号

⑳ 代 理 人 弁理士 小沢 信助

㉑ 実用新案登録請求の範囲

増光スイッチ又は減光スイッチの信号が導かれる制御回路及び該制御回路の信号が導かれるアップダウンカウンタを有し、前記増光スイッチ操作時に前記制御回路を介して前記アップダウンカウンタのカウンタ値を増加させ前記減光スイッチ操作時に前記カウンタ値を減少させてバックライト輝度の調光をするバックライト調光回路において、前記制御回路は前記増光スイッチ又は前記減光スイッチが操作されている間増光信号又は減光信号を電圧制御発振器からのクロックパルスに同期化して該制御回路と前記アップダウンカウンタの間に配置されたゲート回路に出力し前記増光スイッチ及び減光スイッチが同時操作された時に前記増光信号及び減光信号の出力を禁止する機能を有し、前記ゲート回路は前記増光信号がある時にカウンタアップ信号を前記アップダウンカウンタに出力するゲートと前記減光信号がある時にカウンタダウン信号を前記アップダウンカウンタに出力するゲートを有し、前記アップダウンカウンタは前記カウンタアップ信号がある時にカウンタ値を増加し前記カウンタダウン信号がある時にカウンタ値を減少する構成から成り、このアップダウンカウンタの後段には、アップ/ダウン・カウンタ値を入力してアナログ電流に交換しカウンタ値に比例したアナログ出力電圧を出力するデジタルアナログ変換回路、該デジタルアナログ変換回路の出力を三角波発振器の出力と比較して前記デジタルアナログ変換回路の出力に比例したデューティ比にパルス幅変調した信号を出力するパルス

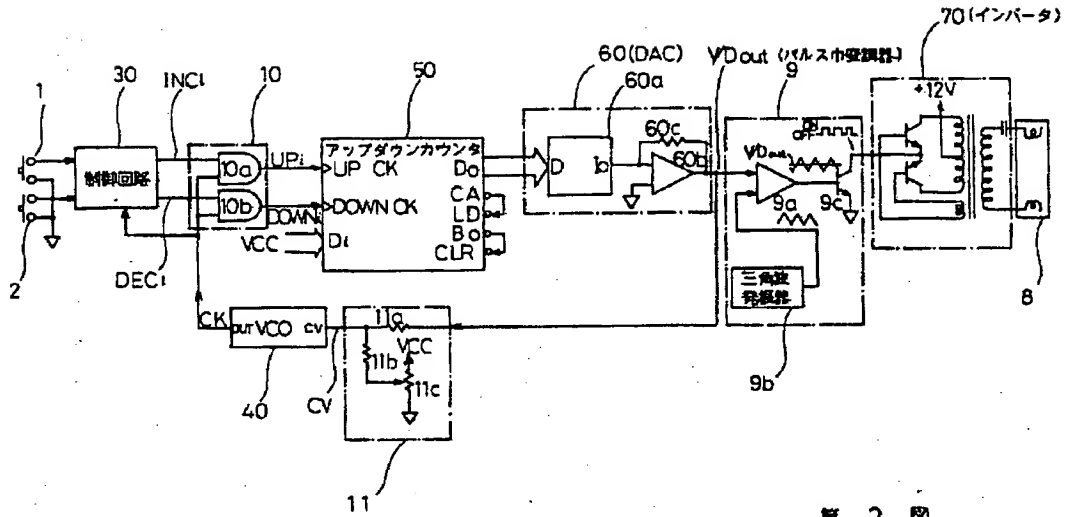
幅変調器、該パルス幅変調器の信号に基づいて発振して高電圧を前記バックライトに印加してこれを点灯させるインバータ、及び、前記デジタルアナログ変換回路の出力を入力してこの入力を抵抗器を介して前記電圧制御発振器に出力すると共に可変抵抗器で得られる電圧を前記抵抗器を介して得られる電圧出力に加算して前記電圧制御発振器に出力する構成の抵抗回路を具備して成り、前記デジタルアナログ変換回路の出力が0[V]の時前記可変抵抗器より与えられる電圧によつてのみ前記電圧制御発振器が発振し、前記デジタルアナログ変換回路の出力が上昇して前記抵抗器を流れる始めるとこの値が前記可変抵抗器からの電圧に加算されて前記電圧制御発振器に入力するように構成したことを特徴とするバックライト調光回路。

図面の簡単な説明

第1図は本考案のバックライト調光回路の具体的実施例を示すブロック回路図、第2図は第1図の説明に供するタイムチャート、第3図は従来の技術の説明に供する図、第4図は第3図の動作の説明に供するタイムチャートである。

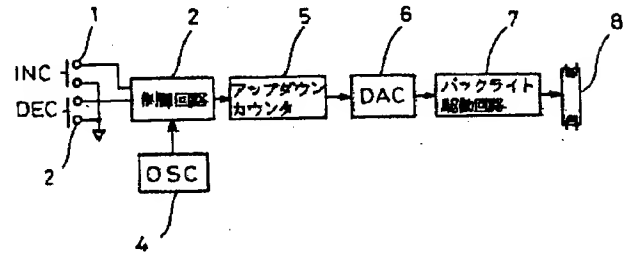
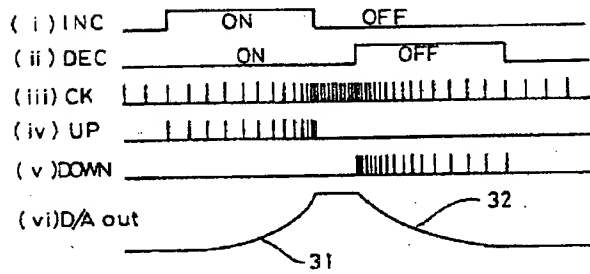
1……増光スイッチ、2……減光スイッチ、3, 30……制御回路、5, 50……アップダウンカウンタ、6, 60……DAC、7……バックライト駆動回路、8……バックライト(蛍光管)、9……パルス幅変調器、10……ゲート回路、11……抵抗回路、40……VCO(電圧制御発振器)、70……インバータ。

第 1 図

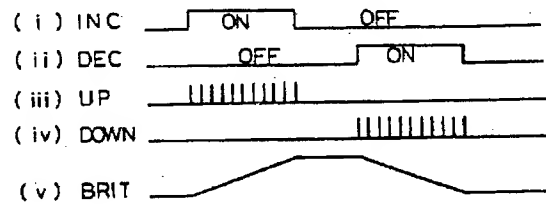


第 2 図

第 3 図



第 4 図



公開実用平成 3-66199

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U)

平3-66199

⑬ Int. Cl.⁸

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月27日

H 05 B 41/392
G 02 F 1/133
G 09 G 3/18

L
5 3 5

9032-3K
7709-2H
8621-5C

審査請求 未請求 請求項の数 1 (全 頁)

⑮ 考案の名称 バックライト調光回路

⑯ 実 願 平1-127293

⑰ 出 願 平1(1989)10月31日

⑱ 考 案 者 柳 原 弘 之 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

⑲ 出 願 人 横河電機株式会社 東京都武蔵野市中町2丁目9番32号

⑳ 代 理 人 弁理士 小沢 信助

明 細 書

1. 考案の名称

バックライト調光回路

2. 実用新案登録請求の範囲

増光スイッチ又は減光スイッチの信号が導かれる制御回路及び該制御回路の信号が導かれるアップダウンカウンタを有し、前記増光スイッチ操作時に前記制御回路を介して前記アップダウンカウンタのカウント値を増加させ前記減光スイッチ操作時に前記カウント値を減少させてバックライト輝度の調光をするバックライト調光回路において、前記制御回路は前記増光スイッチ又は前記減光スイッチが操作されている間増光信号又は減光信号を電圧制御発振器からのクロックパルスに同期化して該制御回路と前記アップダウンカウンタの間に配置されたゲート回路に出力し前記増光スイッチ及び減光スイッチが同時操作された時に前記増光信号及び減光信号の出力を禁止する機能を有し、前記ゲート回路は前記増光信号がある時にカウントアップ信号を前記アップダウンカウンタに出力

1213

するゲートと前記減光信号がある時にカウントダウン信号を前記アップダウンカウンタに出力するゲートを有し、前記アップダウンカウンタは前記カウントアップ信号がある時にカウント値を増加し前記カウントダウン信号がある時にカウント値を減少する構成から成り、このアップダウンカウンタの後段には、アップ／ダウン・カウンタ値を入力してアナログ電流に変換しカウント値に比例したアナログ出力電圧を出力するデジタルアナログ変換回路、該デジタルアナログ変換回路の出力を三角波発振器の出力と比較して前記デジタルアナログ変換回路の出力に比例したデューティー比にパルス幅変調した信号を出力するパルス幅変調器、該パルス幅変調器の信号に基づいて発振して高電圧を前記バックライトに印加してこれを点灯させるインバータ、及び、前記デジタルアナログ変換回路の出力を入力してこの入力を抵抗器を介して前記電圧制御発振器に出力すると共に可変抵抗器で得られる電圧を前記抵抗器を介して得られる電圧出力に加算して前記電圧制御発振器に出力

する構成の抵抗回路を具備して成り、前記デジタルアナログ変換回路の出力が0[V]の時前記可変抵抗器より与えられる電圧によってのみ前記電圧制御発振器が発振し、前記デジタルアナログ変換回路の出力が上昇して前記抵抗器を流れる始めるとこの値が前記可変抵抗器からの電圧に加算されて前記電圧制御発振器に入力するように構成したことを特徴とするバックライト調光回路。

3. 考案の詳細な説明

<産業上の利用分野>

本考案は、例えば液晶表示器等に用いられるバックライトの調光特性の改善を図ったバックライト調光回路に関するものである。

<従来技術>

従来、関連公知技術として例えば実開昭62-176896号（発光素子の輝度調整回路）がある。

第3図はこの公知技術を本考案が提唱しようとするバックライト調光回路に応用するとした場合に考えられる概要ブロック回路図である。以下、こ

の第3図を用いて従来の技術を説明する。

第3図において、1は増光スイッチ（INC）、2は減光スイッチ（DEC）、3は制御回路、4はクロック発振器（OSC）、5はアップダウンカウンタ、6はDAC（デジタルアナログ変換器）、7はバックライト駆動回路、8はバックライト（例えば蛍光管が用いられることが多いので以下蛍光管という）である。

第4図は第3図の動作の説明に供するタイムチャートである。

このような構成において、その動作は以下のようになる。

第3図及び第4図において、増光スイッチ1又は減光スイッチ2を閉じると、クロック発振器4からのクロックパルスは制御回路3を通過してアップダウンカウンタ5へ与えられる。この時、増光スイッチ1がONであればカウント値を増加するように、又、減光スイッチ2がONであればカウント値を減少するように制御回路3がアップダウンカウンタ5を制御する。

アップダウンカウンタ5のカウント値はDAC6によってアナログ電圧に変換され、パルス幅変調回路を含むバックライト駆動回路7に入力される。バックライト駆動回路7は入力電圧に比例したデューティ比で蛍光管8を駆動するのでこの蛍光管8はアップダウンカウンタ5のカウント値に比例した輝度を得られる。

これ等をまとめると、第4図(II), (III)に示すように増光スイッチ1又は減光スイッチ2がONの間は、第4図(IV), (V)に示すような一定周波数のカウントパルスUP又はDOWNがアップダウンカウンタ5に加えられることとなる。この結果、第4図(VI)に示すように、蛍光管8の輝度は各スイッチがONの時間に比例して直線的に変化する。

<考案が解決しようとする課題>

ところで、人間の輝度変化に対する感覚は対数関数的なものであるから、このような場合にあって、輝度が低い時は輝度変化が早く感じられるが、この場合の光量の微調節は困難である。又、輝度が高いときは輝度変化が遅く感じられるが、この

場合に希望する明るさに調整するのに時間がかかるという問題点があった。

本考案は、従来の技術の有するこのような問題点に鑑みてなされたものであり、その目的とするところは、簡単な構成で、調光操作を行った時、輝度が低いときは輝度変化を遅く、輝度が高いときは輝度変化を遅くすることによって人間の視覚に適した調光装置がよりスムーズに行えるバックライト調光回路を提供するものである。

＜課題を解決するための手段＞

上記目的を達成するために、本考案のバックライト調光回路は、増光スイッチ又は減光スイッチからの信号が導かれる制御回路及び該制御回路の信号が導かれるアップダウンカウンタを有し、前記増光スイッチを操作した時に前記制御回路を介して前記アップダウンカウンタのカウント値を増加させ前記減光スイッチを操作した時に前記カウント値を減少させてバックライトの輝度を調光するバックライト調光回路において、前記制御回路は前記増光スイッチ又は前記減光スイッチが操作

されている間増光信号又は減光信号を電圧制御発振器からのクロックパルスに同期化して該制御回路と前記アップダウンカウンタの間に配置されたゲート回路に与える機能を有すると共に前記増光スイッチ及び減光スイッチが同時に操作された時前記増光信号及び減光信号の出力を禁止する機能を有し、前記ゲート回路は前記増光スイッチが操作されている間カウントアップ信号を前記アップダウンカウンタのカウントアップクロック入力端子に出力するゲート及び前記減光スイッチが操作されている間カウントダウン信号を前記アップダウンカウンタのカウントダウンクロック入力端子に出力するゲートから成る一対のゲートを有し、前記アップダウンカウンタは前記最初に述べたゲートからの信号がある時にカウント値を増加し前記後に述べたゲートからの信号がある時にカウント値を減少する構成から成り、更に、前記アップダウンカウンタの後段に、このアップダウンカウンタのカウント値を入力してアナログ電流に変換してこのカウント値に比例したアナログ出力電圧

を出力するデジタルアナログ変換回路、該デジタルアナログ変換回路の出力及び三角波発振器の出力を比較して入力したデジタルアナログ変換回路の出力に比例したデューティー比でスイッチング要素をオン／オフしてパルス幅変調した信号を出力するパルス幅変調器、該パルス幅変調器のスイッチング素子がオンの間発振して高電圧を前記バックライトに印加してこれを点灯させるために設けられたインバータ、及び、前記デジタルアナログ変換回路の出力を入力してこの入力を抵抗器を介して前記電圧制御発振器に出力すると共に可変抵抗器で得られる電圧を前記抵抗器を介して得られる電圧出力に加算して前記電圧制御発振器に出力する構成の抵抗回路を具備して成り、

該抵抗回路と前記電圧制御発振器の関係が、前記デジタルアナログ変換回路の出力が0〔V〕の時前記可変抵抗器より与えられる電圧によって前記電圧制御発振器が発振し、前記デジタルアナログ変換回路の出力が上昇して前記抵抗器を流れる始めるとこの値が前記可変抵抗器からの電圧に加

算して前記電圧制御発振器に入力して前記電圧制御発振器の制御電圧が上昇して出力周波数が上昇して前記クロックパルス数が次第に増加するようにしたことを特徴とするものである。

＜実施例＞

実施例について図面を参照して説明する。

尚、以下の図面において、第3図及び第4図と重複する部分は同一番号を付してその説明は省略する。

第1図は本考案のバックライト調光回路の具体的実施例を示すブロック回路図である。

第1図において、30は制御回路、10は一對のゲート10a、10bから成るゲート回路、40はVCO（電圧制御発振器）、50はアップダウンカウンタ、60はDAC、9はパルス幅変調器、70はインバータ、11は抵抗11a～11cによって構成される抵抗回路である。夫々の関連性は以下のとおりとなる。

制御回路30は、増光スイッチ1又は減光スイッチ2が閉じている間、増光信号INC_i又は減光信号DEC_iをVCO40からのクロックパルスCKに同

期化してゲート10a、10bに与える。又、両方のスイッチが同時に押された時にINC_i及びDEC_i信号を禁止する等誤動作を防ぐ働きをする。

ゲート10aは、増光信号INC_iが“H”の間、カウントアップ信号UPをアップダウンカウンタ50のカウントアップクロック入力UPCKへ与える。又、ゲート10bは、減光信号DEC_iが“H”の間、カウントダウン信号DOWNをアップダウンカウンタ50のカウントダウンクロック入力DOENCKへ与える。

アップダウンカウンタ50は、例えば8ビットのアップダウンカウンタであって、カウントアップ入力UPCKにパルスが入力されるとカウント値を増加していき、カウントダウン入力DOWNCKにパルスが入力されるとカウント値を減少していく。

DAC60はアップダウンカウンタ50のカウント値をアナログ電流に変換するデジタルアナログ変換部（以下「D/A変換部」という）60aと演算増幅器8b及び抵抗60cから成る電流／電圧変換部とで構成されており、アップダウンカウンタ50のカウント値に比例したアナログ電圧D/A_{out}を出

力する。

VCO40は、制御電圧CVに比例した周波数のクロックパルスCKを出力する発振器である。この時、DAC60の出力（アナログ電圧D/A_{out}）が0Vの時は前段に設けられる抵抗回路11の可変抵抗器11cより抵抗11bをとおって与えられる電圧によって発振しており、DAC60の出力電圧D/A_{out}が上昇すると、この電圧が抵抗11aをとおって加算入力されるので、制御電圧CVが上昇し、従って、出力周波数も上昇する。

パルス幅変調器9は、三角波発振器9bの出力電圧とDAC60の出力電圧（アナログ電圧D/A_{out}）を電圧比較器9aで比較することによってDAC60の出力電圧に比例したデューティー比でトランジスタ9cをオン／オフする。

インバータ70はパルス幅変調器9のトランジスタ9cがONの間発振し、高電圧を蛍光管8に印加してこれを点灯させる。従って、蛍光管8の光量はDAC60からのアナログ電圧D/A_{out}に比例したものとなる。

このように構成することで、パルス幅変調によりパルスのON時間、OFF時間を可変することにより蛍光管8の輝度をコントロールするにあたり、クロック発振器としてVCO40を用い、アップダウンカウンタ50のカウント値をA/D変換した電圧によってこのVCO40の発振周波数を変化させることにより時間に対する輝度の変化を非線形とすることができる。このことを第2図の第1図の説明に供するタイムチャートを用いて以下に説明する。

今、アップダウンカウンタ50のカウント値が“0”であるとする。このカウント値をアナログ電圧に変換するDAC60の出力電圧D/A_{out}も“0V”になる。従って、VCO40は可変抵抗器11cから抵抗11bを通して与えられる電圧によって一定の周波数で発振し、クロックパルスCKを発生している。

(イ)：このような状態において、例えば、増光スイッチ1を閉じると、増光信号INC_iは“H”となり、VCO40からのクロックパルスCKがゲ-

ト回路10aを通り、カウントアップパルス UP_i としてアップダウンカウンタ50のカウントアップクロック入力UPCKに与えられる。

(ロ) : アップダウンカウンタ50がカウントアップしていくと、このカウント値 D_o が増大し、DAC60の出力電圧 D/A_{out} も上昇する。この上昇した出力電圧 D/A_{out} は抵抗11aを通してVCO40の制御電圧CVに加算される。

(ハ) : この結果、VCO40から出力されるクロックパルスCKの周波数が上昇し、ゲート回路10aを通り、これがカウントアップパルス UP_i にフィードバックして与えられ、アップダウンカウンタ50のカウント速度が速くなる。

(ニ) : 以上の動作が繰返されることによって第2図(M)に示す D/A_{out} のカーブ31に示すように、時間の経過と共にDAC60の出力電圧 V/D_{out} の上昇が速くなる。

(ホ) : アップダウンカウンタ50がカウントアップしていき全ビットが“1”になったとき、即ち、このカウンタの最大カウント値に達したとき、次

のカウントアップパルスUP_iが入力されるとカウント値が“0”に戻ってしまうので、このとき、カウントアップパルスが入力されても全ビット

“1”の状態を保持するようにしなければならない。以下にこのための対処を8ビットアップダウンカウンタを用いたときを例として説明をする。

アップダウンカウンタ50のデータ入力D_iを電源電圧VCCに接続し、全ビット“1”、即ち16進FF(=2進11111111)にしておく。アップダウンカウンタ50のカウント値が全ビット“1”になるとカウントアップパルスUP_iの後半半サイクルに同期してキャリ出力CAが“L”になり、これと接続されたロード入力LDが“L”になる。このとき次のカウントアップパルスUP_iが入力されると、データ入力D_iのデータ16進FFがアップダウンカウンタ50にロードされるので、アップダウンカウンタ50のカウント値は16進FFを保持し、“0”には戻らない。尚、アップダウンカウンタのカウント値が全ビット“1”のとき、カウントダウンパルスDOWN_iが入力されてもキャ

リア出力は“H”のままであるからカウントダウンは行われる。

(ヘ)：パルス幅変調回路9においては、DAC 60の出力電圧 V/D_{out} に比例したデューティー比でトランジスタ9cをオン/オフする。即ち、パルス幅変調回路9においては、DAC 60の出力電圧 V/D_{out} と、三角波発振器9bで発生した三角波をコンパレータ9aで比較し、 V/D_{out} の方が三角波よりも電圧が高いときにトランジスタ9cをオンにする。トランジスタ9cがオンになる期間は V/D_{out} に比例するから、トランジスタ9cのオン/オフデューティー比は V/D_{out} に比例することになる。

(ト)：この結果としてインバータ70はトランジスタ9cがオンの期間で発振し、液晶のバックライトである蛍光管8を点灯する。従って蛍光管8の輝度はDAC 60の出力電圧 D/A_{out} に比例することとなるので、輝度の変化が時間と共に速くなる。

(チ)：そして増光スイッチ1が開けば増光信号 INC_i が“H→L”となるので、カウントアップパルス UP_i は出力されず、アップダウンカウンタ

50のカウント値は変化しなくなり、DAC60の出力電圧 D/A_{out} も変化しなくなる。故に、蛍光管8の輝度及びVCO40の出力CKの周波数も変化しない。

(リ)：ここで減光スイッチ2が閉じられると減光信号DEC_iが“H”となり、ゲート回路10bを通してカウントダウンパルスDOWN_iがアップダウンカウンタ50のカウントダウンクロック入力DOWNCKに与えられるので、アップダウンカウンタ50のカウント値は減少していき、DAC60の出力電圧 D/A_{out} も降下する。

(ヌ)：これにともなってVCO40の制御電圧CVも降下し、クロックパルスCKの周波数も低くなるのでアップダウンカウンタ50のカウント速度が遅くなり、DAC60の出力電圧 D/A_{out} の変化は第2図(M)に示す D/A_{out} のカーブ32のように時間の経過と共に遅くなる。従ってこの電圧で制御される蛍光管8の輝度の変化も時間と共に遅くなる。

(ル)：カウント値が減少して“0”になるとアップダウンカウンタ50のボロー出力B0が“L”に

なり、これに接続されたクリア入力CLRが“L”になるのでアップダウンカウンタ50はクリアされカウントダウンが“0”より進むことはない。

以上の動作により、調光操作をしたときの時間当たりの輝度の変化は、蛍光管8の輝度が低い時は小さく、輝度が高いときは大きくなる。

<考案の効果>

以上実施例を用いて述べたように本考案は構成されているので、簡単な逆回路構成で、調光操作をおこなった時、バックライトの輝度が低いときは輝度変化が遅くなるので微妙な調整ができ、輝度が高いときは輝度変化が遅くなるので、速やかな調整ができるようになることから、スムーズな調光操作を行うことができるという効果を奏する。



4. 図面の簡単な説明

第1図は本考案のバックライト調光回路の具体的実施例を示すブロック回路図、第2図は第1図の説明に供するタイムチャート、第3図は従来の技術の説明に供する図、第4図は第3図の動作の説明に供するタイムチャートである。

1 … 増光スイッチ、2 … 減光スイッチ、3 , 30
… 制御回路、5 , 50… アップダウンカウンタ、6 ,
60… D A C、7 … バックライト駆動回路、8 … バ
ックライト（蛍光管）、9 … パルス幅変調器、10
… ゲート回路、11… 抵抗回路、40… V C O（電圧
制御発振器）、70… インバータ。

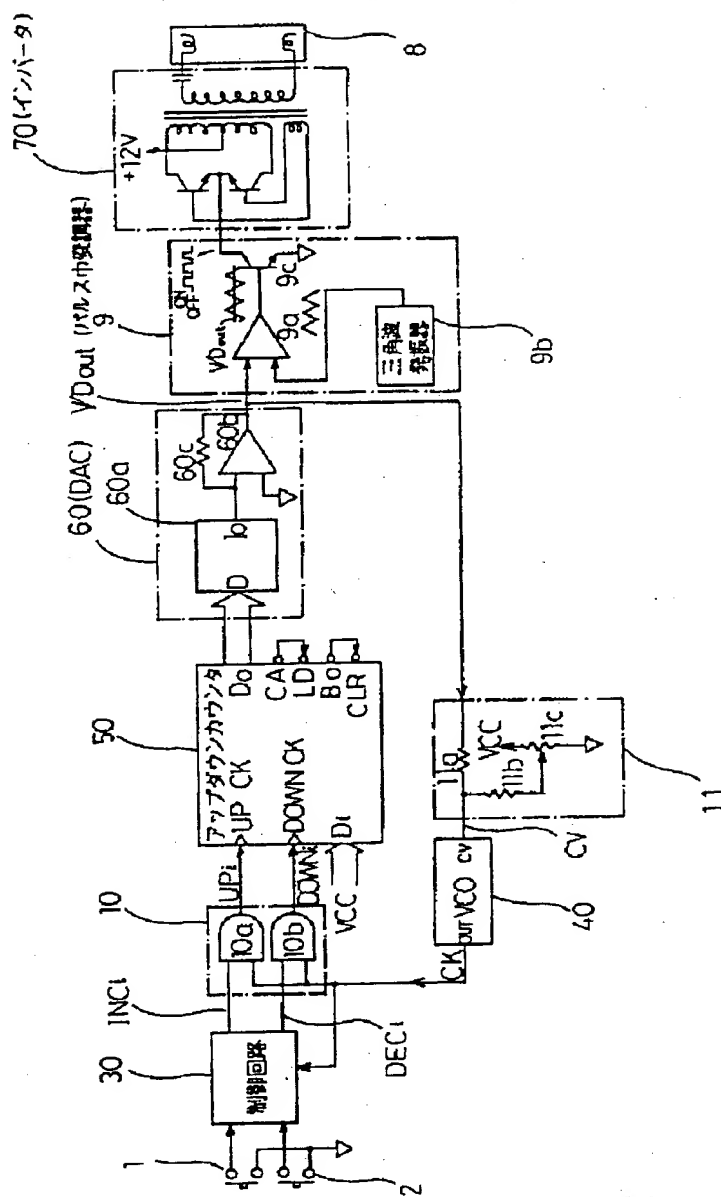
代理人

弁理士

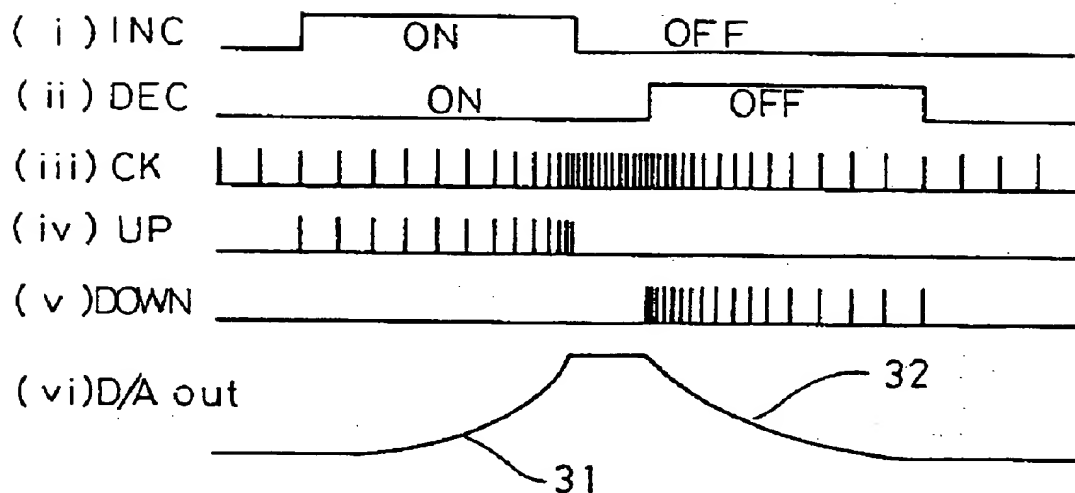
小沢



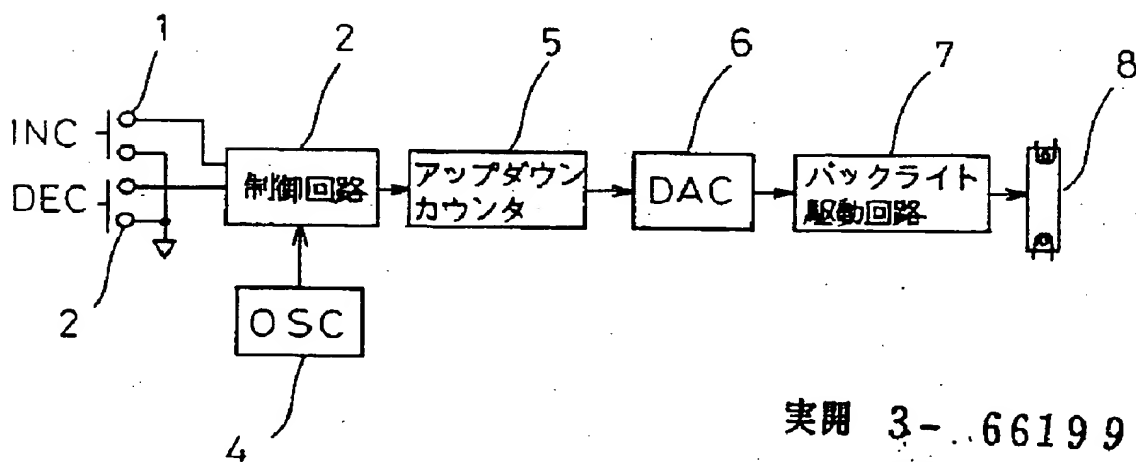
553



第 2 図



第 3 図

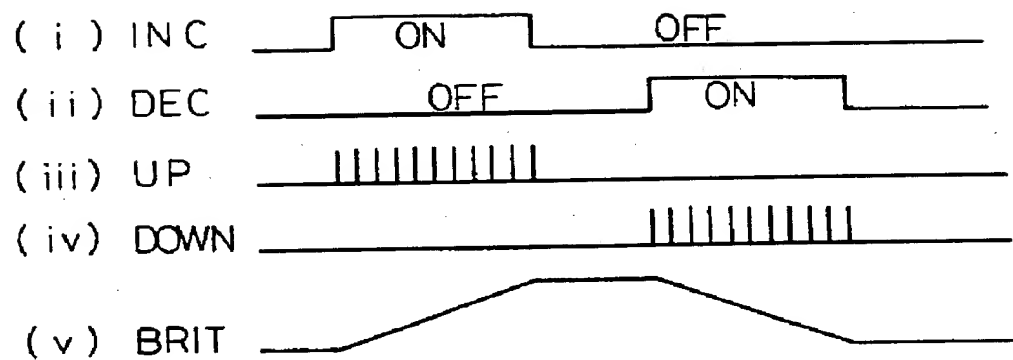


実開 3-66199

1232

代理人 弁理士 小沢信助

第 4 図



実開 3- 66199

1233

代理人 弁理士 小沢信助

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)